

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08115923 A**(43) Date of publication of application: **07.05.96**

(51) Int. Cl.

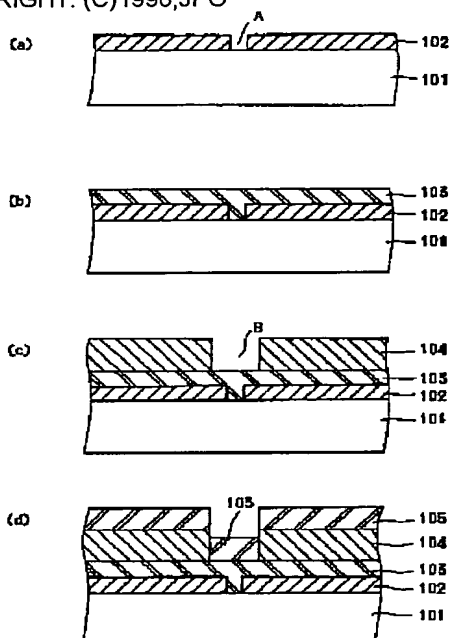
H01L 21/338**H01L 29/812**(21) Application number: **07067267**(22) Date of filing: **27.03.95**(30) Priority: **23.08.94 JP 06198200**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **SAITO YASUNOBU**(54) **MANUFACTURE OF FIELD EFFECT TRANSISTOR**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To provide a manufacturing method of a semiconductor device which forms a gate electrode where a high fusing point metal is used, by the lift off method of only the photoresist without using an insulating film.

CONSTITUTION: A first photoresist film 102 is applied on a semiconductor substrate, and this is provided with a first opening, and the whole face is coated with a first conductive film 103 and a second photoresist film 104, and in the region including the opening of the first photoresist film of the second photoresist film is provided a second opening, which has a area larger than the first opening. The whole face is coated with a second conductive film, covering the second opening, and through the second opening, etching is applied to the second photoresist film until a part of the first conductive film is exposed, and after selective etching of only the first conductive film, lift off is performed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-115923

(43) 公開日 平成8年(1996)5月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812		9171-4M	H 0 1 L 29/ 80	F

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願平7-67267

(22) 出願日 平成7年(1995)3月27日

(31) 優先権主張番号 特願平6-198200

(32) 優先日 平6(1994)8月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 斉藤 泰伸

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

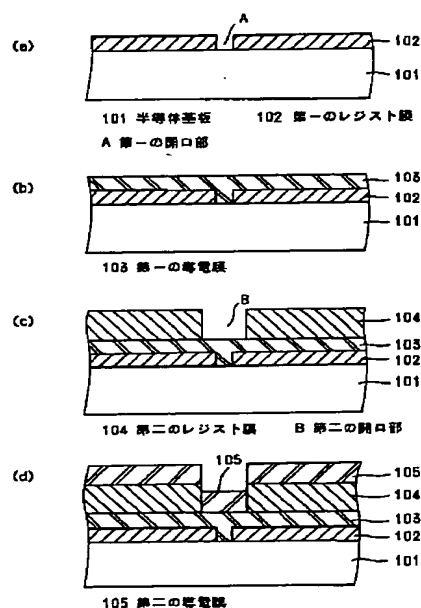
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 電界効果トランジスタの製造方法

(57) 【要約】

【目的】 高融点金属を用いたゲート電極を絶縁膜を用いることなくフォトリソットのためのリフトオフ法により形成する半導体装置の製造方法。

【構成】 半導体基板上に第一のフォトリソット膜102を塗布しこれに第一の開口部Aを設け、全面に第一の導電膜103および第二のフォトリソット膜104を被着し、第二のフォトリソット膜に対して前記第一のフォトリソット膜の開口部を含む領域に前記第一の開口部よりも大なる面積を有する第二の開口部Bを設ける。第二の開口部を覆い全面に第二の導電膜を被着し第二の開口部を通じ第二のフォトリソット膜に対し第一の導電膜の一部が露出するまでエッチングを施し、第一の導電膜のみを選択的にエッチングした後リフトオフを行う。



【特許請求の範囲】

【請求項1】半導体基板上に第一のフォトリソ膜を塗布する工程と、前記第一のフォトリソ膜に第一の露光と第一の現像処理を施し第一の開口部を設ける工程と、前記第一の開口部を覆いこの開口部の第一のフォトリソ膜の側面を含む全面に第一の導電膜を被着する工程と、少なくとも前記第一の開口部を覆い前記第一の導電膜上の全面に第二のフォトリソ膜を塗布する工程と、この第二のフォトリソ膜に対して前記第一のフォトリソ膜の開口部を含む領域に第二の露光と第二の現像処理を施し前記第一の開口部よりも大なる面積を有する第二の開口部を設ける工程と、少なくともこの第二の開口部を覆い全面に第二の導電膜を被着する工程と、第二の開口部を通じ第二のフォトリソ膜に対し第一の導電膜の一部が露出するまでエッチングを施す工程と、続いて第二の開口部内の第二導電膜をマスクとして第一の導電膜のみを選択的にエッチングを施す工程と、前記第一、第二の導電膜及び前記第一、第二のフォトリソ膜をリフトオフ法によって除去する工程とを含む電界効果トランジスタの製造方法。

【請求項2】前記第一の導電膜が高融点導電物質膜であることを特徴とする請求項1記載の電界効果トランジスタの製造方法。

【請求項3】半導体基板上に第一のフォトリソ膜を塗布する工程と、この第一のフォトリソ膜に第一の露光と第一の現像処理を施し第一の開口部を形成する工程と、この第一の開口部を覆いこの開口部の第一のフォトリソ膜の側面を含む全面に第一の導電膜を被着する工程と、少なくとも前記第一の開口部を覆うように前記第一の導電膜上の全面に第二のフォトリソ膜を塗布し、前記第一の開口部を含み、かつ第二のフォトリソ膜において上部形状が下部形状よりも小さい第二の開口部を形成する工程と、第二の導電膜を被着する工程と、前記第二の開口部内の前記第二の導電膜をマスクとして、前記第二の開口部内の前記第一の導電膜のみを選択的にエッチングする工程と、開口部内に形成された導電膜以外の、前記第一、第二の導電膜、前記第一、第二のフォトリソ膜をリフトオフ法によって除去することを特徴とする電界効果トランジスタの製造方法。

【請求項4】前記第一の導電膜が高融点導電物質膜であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項5】前記第一の導電膜が窒化タングステン膜であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項6】前記第一の導電膜がタングステンシリサイド膜であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項7】前記第一の導電膜の被着法がスパッタリング法であることを特徴とする請求項3記載の電界効果ト

ランジスタの製造方法。

【請求項8】前記第二のフォトリソ膜の前記第二の開口部をキシレンディップ法により形成することを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項9】前記第二のフォトリソ膜を2層レジスト法により形成することを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項10】前記第二の導電膜が金であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項11】前記第二の導電膜の被着法が蒸着法であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項12】前記第一の導電膜を選択的に除去する方法がO₂/CF₄混合プラズマ法であることを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電界効果トランジスタ（以下FETと略記する）の製造方法に係り、特に高融点導電物質をゲート電極としたFETの改良された製造方法に関する。

【0002】

【従来の技術】近年、GaAs FETは高集積密度化、高性能化が進み、これに伴って、FETのゲート電極も微細化が進んできた。しかし、この微細化に伴いゲート電極を流れる電流密度が増加し、これによるゲート金属のエレクトロマイグレーション（以下EMと略記する）が問題となっている。

【0003】上記のEMに対する一つの対策として、ゲート電極に高融点金属又は高融点導電物質を用いることが行われている。高融点導電物質は融点が高いためEMに対しては効果が大きい、高抵抗であることが多いため、低抵抗の金属との積層構造にすることが一般的である。しかしながら、このような積層構造は普通スパッタリング法により堆積されるため、一般にゲート電極形成で用いられるリフトオフ法を用いることは難しい。これは、スパッタリング法は段差に対するカバレッジがよい、フォトリソの段差部で薄膜がつかってしまうためである。以下に、このような高融点物質を用いた積層構造ゲート電極を形成するための製造方法の一例を図面を参照して説明する。

【0004】まず、図5(a)に示すように、半導体基板201の上に、絶縁膜202を堆積し第一の開口部Aを形成する。続いて図5(b)に示すように、第一の導電膜203として例えば窒化タングステン（以下WN）を全面に堆積する。次に図5(c)に示すように、フォトリソ204を塗布し、第一の開口部Aを合わせ、この第一の開口部Aよりも大なる面積で第二の開口

部Bをフォトレジスト204に形成する。次に図5

(d)に示すように、第二の導電膜205として抵抗の低い例えば金(以下Au)を全面に堆積する。次に図6(a)に示すように、フォトレジスト204上の第二の導電膜205とフォトレジスト204を、リフトオフ法により除去する。最後に、第二の導電膜205をマスクにして第一の導電膜203を選択的にエッチング除去することにより、図6(b)に示すように高融点導電物質を用いた積層構造ゲート電極を形成することができる。

【0005】

【発明が解決しようとする課題】上記、従来例の製造方法によるゲート電極では、ゲート電極の第一の導電膜203の周辺下部に絶縁膜202が存在している。この絶縁膜は誘電体であるため、絶縁膜が存在しないときに比べてゲート容量が増加することになり、これが原因で、特に高周波領域におけるFETの特性を悪化させることになる。この問題に対する解決策として、図6(b)の状態から更に絶縁膜202をエッチング除去することも行われる。しかし、一般に第一の導電膜203に用いられる高融点導電物質は、絶縁膜202のエッチング工程により影響を受けるため、図6(b)の状態から、絶縁膜202を完全に除去することが難しかった。

【0006】本発明は、上述の問題点を解決するためになされたもので、高融点導電物質を用いたゲート電極を上述の絶縁膜を用いることなく、これまで困難であったフォトレジストのみのリフトオフ法により形成することができる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る電界効果トランジスタの第一の製造方法は、半導体基板上に第一のフォトレジスト膜を塗布する工程と、前記第一のフォトレジスト膜に第一の露光と第一の現像処理を施し第一の開口部を設ける工程と、前記第一の開口部を覆いこの開口部の第一のフォトレジスト膜の側面を含む全面に第一の導電膜を被着する工程と、少なくとも前記第一の開口部を覆い前記第一の導電膜上の全面に第二のフォトレジスト膜を塗布する工程と、この第二のフォトレジスト膜に対して前記第一のフォトレジスト膜の開口部を含む領域に第二の露光と第二の現像処理を施し前記第一の開口部よりも大なる面積を有する第二の開口部を設ける工程と、少なくともこの第二の開口部を覆い全面に第二の導電膜を被着する工程と、第二の開口部を通じ第二のフォトレジスト膜に対し第一の導電膜の一部が露出するまでエッチングを施す工程と、続いて第二の開口部内の第二導電膜をマスクとして第一の導電膜のみを選択的にエッチングを施す工程と、前記第一、第二の導電膜及び前記第一、第二のフォトレジスト膜をリフトオフ法によって除去する工程とを含む。また、第一の導電膜が高融点導電物質であることを特徴とする。本発明に係る電界効果

トランジスタの第二の製造方法は、半導体基板上に第一のフォトレジスト膜を塗布し、この第一のフォトレジスト膜に第一の開口部を形成する工程と、この第一の開口部を含む第一のフォトレジスト膜全面に第一の導電膜を被着する工程と、少なくとも前記第一の開口部を覆うように前記第一の導電膜上の全面に第二のフォトレジスト膜を塗布し、前記第一の開口部を含み、かつ第二のフォトレジスト膜において上部形状が下部形状よりも小さい第二の開口部を形成する工程と、第二の導電膜を被着する工程と、前記第二の開口部内の前記第二の導電膜をマスクとして、前記第二の開口部内の前記第一の導電膜のみを選択的にエッチングする工程と、開口部内に形成された導電膜以外の、前記第一、第二の導電膜、前記第一、第二のフォトレジスト膜をリフトオフ法によって除去する工程を含むことを特徴とする。また、第一の導電膜が高融点物質膜例えば窒化タングステン膜であることを特徴とする。

【0008】

【作用】従来例では絶縁膜により形成した開口部Aを、第一のフォトレジストにより形成する。一般に、第一の導電膜に用いられる高融点導電物質はスパッタリング法により堆積するため、段差に対する被覆性が高く、フォトレジスト上の導電膜と半導体上の導電膜がつながってしまい、一般的なリフトオフ法ではゲート電極を形成することができない。請求項1に対応する本発明では、第二の導電膜を堆積後、第二の開口部Bを通じ露出している第二のフォトレジストを第一の導電膜が露出するまでエッチングし、続いて、第一の導電膜をエッチングすることにより、全面につながっていた第一の導電膜をゲート電極部と第一のフォトレジスト上の導電膜とに切り離す。これにより、リフトオフ法によって高融点導電物質積層構造ゲート電極を形成することが可能になり、本発明の方法を用いて製造されたFETでは、ゲート電極周辺の絶縁膜が存在しないため、ゲート容量が増加することなく、高周波特性の悪化も起こらないという利点がある。

【0009】又、請求項3に対応する本発明では前記第一のフォトレジスト膜上に、第二のフォトレジスト膜による第二の開口部Bを、上部が下部よりも狭い、いわゆるオーバーハング形状に形成する。これにより、第二の導電膜を堆積後も、第二の開口部Bを通じて第一の導電膜が露出した状態になる。その結果、第二の開口部Bを通じて第一の導電膜をエッチングすることができ、全面につながっていた第一の導電膜をゲート電極部と第一のフォトレジスト上の導電膜とに切り離すことができる。以下は請求項1に対応する発明と同様である。

【0010】

【実施例】

(実施例1) 以下に本発明の実施例の一つについて図面を参照して説明する。まず、図1(a)に示すように半

導体基板101の上に、第一のフォトリソ102を塗布し、第一の開口部Aを形成する。続いて図1(b)に示すように、第一の導電膜103として例えば窒化タングステン(以下WN)を全面に堆積する。次に図1

(c)に示すように、第二のフォトリソ104を塗布し、第一の開口部Aに合わせて、第一開口部Aよりも大なる面積で第二の開口部Bをフォトリソ104に形成する。次に図1(d)に示すように、第二の導電膜105として抵抗の低い例えば金(以下Au)を全面に堆積する。次に図2(a)に示すように、例えばO₂、プラズマにより第二の開口部Bより露出している第二のフォトリソ104を第一の導電膜が露出するまでエッチングする。続いて図2(b)に示すように、第二の導電膜105をマスクにして例えばO₂/CF₄、混合プラズマにより、全面につながっていた第一の導電膜がゲート電極部と第一のフォトリソ上の導電膜とに切り離されるためリフトオフが可能になる。最後に、第一、第二の導電膜、及び第一、第二のフォトリソ膜をリフトオフ法により除去することにより、図2(c)に示すような、ゲート電極を形成することができる。

【0011】このように、本発明によれば、高融点導電物質を用いたゲート電極をリフトオフ法により形成できるため、従来例のようにゲート電極周辺に絶縁膜が残らない。このため、ゲート容量が増加することなく、高周波特性の悪化も起こらないという利点がある。

【0012】なお、上記実施例では、第二のフォトリソのエッチング工程としてO₂、プラズマを使用したプラズマアッシングを例示したが本発明は何等この方法に拘束されるものではなく、例えばO₂/CF₄、混合プラズマを用いたCDE(Chemical Dry Etching)法や、全面露光とフォトリソ現像液による現像を組み合わせたウェットエッチング法を用いてもよい。また、第一の導電膜のエッチング方法もO₂/CF₄、混合プラズマを用いたCDE法に限定されるものではないこと、及び、第一、第二の導電膜も上記実施例に限定されないことは上記説明により明らかである。例えば、第一の導電膜103としてタングステンシリサイド(WSi)を使用してもよい。

【0013】(実施例2)本発明の二番目の実施例を図面を参照して説明する。まず、図3(a)に示すように、半導体、例えばGaAs基板101の上に、第一のフォトリソ102を塗布し通常の露光、現像処理を行い、第一の開口部Aを形成する。続いて図3(b)に示すように第一の導電膜103として例えば窒化タングステンWNを例えばスパッタリング法により全面に堆積する。次に図3(c)に示すように、第二のフォトリソ104を塗布し、第一の開口部Aに合わせて、第一の開口部Aよりも大なる面積で第二の開口部Bをフォトリソ104に形成するが、このとき、図3(d)に示すように、レジスト開口部の形状が、上部の開口形状

の方が、下部の開口形状よりも小さい、いわゆるオーバーハング形状となるように形成する。このようなオーバーハング形状は、例えば、キシレンディップ等の処理の後に、露光、現像を行うことで容易に形成することができる。また、このオーバーハング形状は、図4(a)のように、フォトリソ104aにODUR-1014(商品名:東京応化工業製)とレジスト104bにAZ-1350(商品名:シブレイ社製)を用いた2層レジスト法により形成してもよい。次に図3(d)に示すように、第二の導電膜105として抵抗の低い例えば金(以下Au)を蒸着法等により全面に堆積する。続いて図4(b)に示すように第二の導電膜105をマスクにして例えばO₂/CF₄、混合プラズマにより第一の導電膜103を選択的にエッチング除去する。これにより、全面につながっていた第一の導電膜がゲート電極部Cと第一のフォトリソ上の導電膜Dとに切り離されるためリフトオフが可能になる。最後に、第一、第二のフォトリソ膜上の第一、第二の導電膜、及び第一、第二のフォトリソ膜を、リフトオフ法により除去することにより、図4(c)に示すような、ゲート電極を形成することができる。

【0014】なお、この実施例では、オーバーハング形状を形成するため、キシレンディップ又はODUR-1014とAZ-1350を用いた2層レジスト法による方法を用いた。しかしオーバーハング形状ができさえすれば、フォトリソ等の処理方法、フォトリソの種類等が上記実施例に限定されるものではないことは明らかである。また、第一の導電膜のエッチング方法に、O₂/CF₄、混合プラズマを用いたCDE法による場合を説明したがこれに限定されるものではなく、また半導体基板、第一、第二の導電膜の種類も上記実施例に限定されないことは上記説明により明らかである。例えば、第一の導電膜103としてタングステンシリサイド(WSi)を使用してもよい。

【0015】

【発明の効果】以上説明したように本発明によれば、高融点導電物質を用いた場合、従来の製造方法では困難であったフォトリソのみのリフトオフ法によりゲート電極を形成することが可能になる。このため、ゲート電極周辺に絶縁膜が存在しないため、ゲート容量が増加することなく、高周波特性の悪化も起こらないという利点がある。

【図面の簡単な説明】

【図1】(a)~(d)は本発明に係る一実施例のFETの製造方法の一部を工程順に示すいずれも断面図、

【図2】(a)~(c)は本発明に係る一実施例のFETの製造方法の一部を図1に引き続き工程順に示すいずれも断面図、

【図3】(a)~(d)は本発明に係る他の実施例のFETの製造方法の一部を工程順に示すいずれも断面図、

10

20

30

40

50

【図4】(a)～(c)は本発明に係る他の実施例のFETの製造方法の一部を図3に引き続き工程順に示すいずれも断面図、

【図5】(a)～(d)は従来例に係るFETの製造方法の一部を工程順に示すいずれも断面図、

【図6】(a)および(b)は従来例に係るFETの製造方法の一部を図5に引き続き工程順に示すいずれも断面図。

【符号の説明】

101、201…半導体基板

102……………第一のフォトリソ

* 103、203…第一の導電膜

104……………第二のフォトリソ

104a……………第二のフォトリソの一層目

104b……………第二のフォトリソの二層目

105、205…第二の導電膜

202……………絶縁膜

204……………フォトリソ

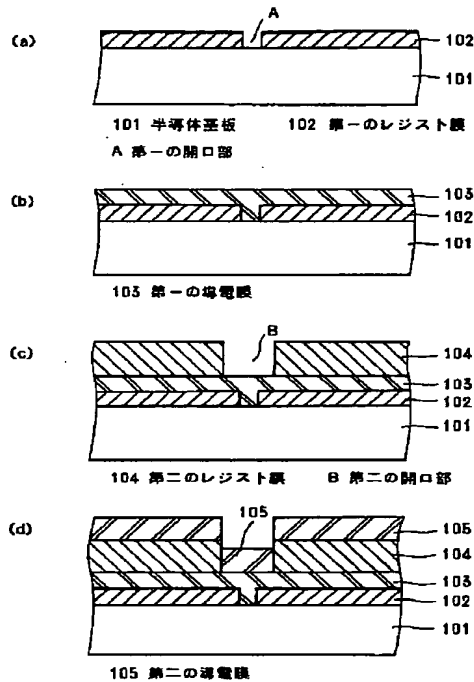
A……………第一の開口部

B……………第二の開口部

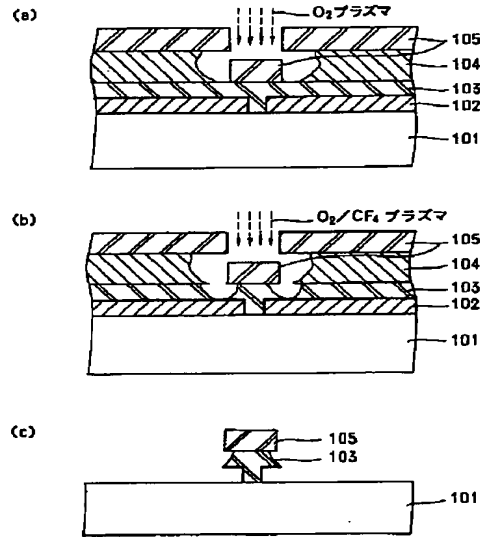
10 C……………ゲート電極部

* D……………第一のフォトリソ

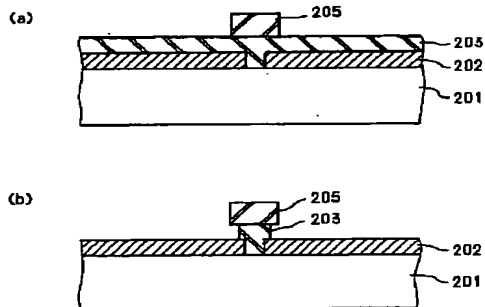
【図1】



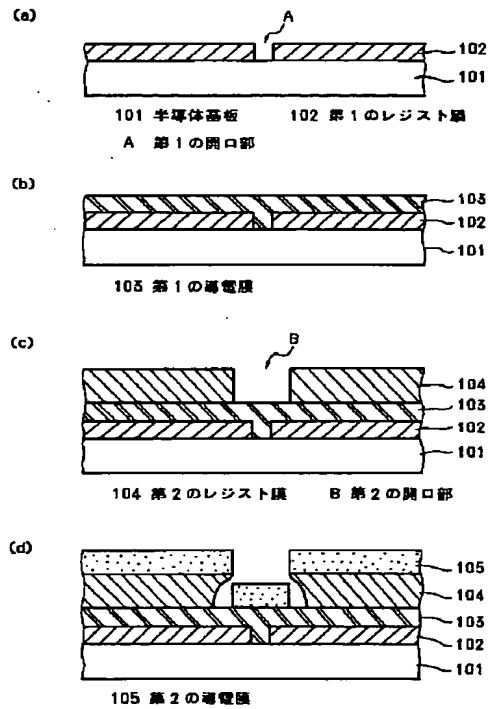
【図2】



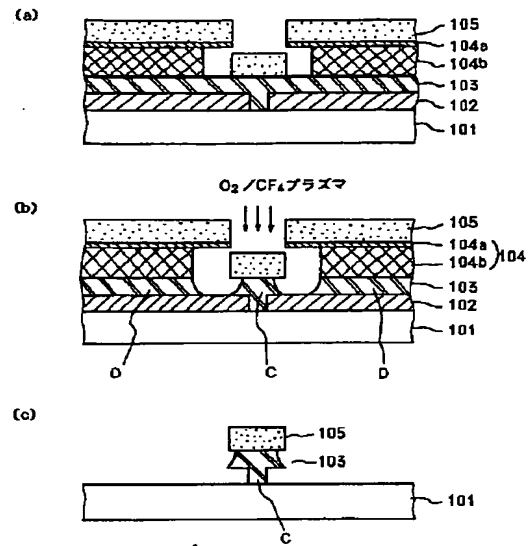
【図6】



【図3】



【図4】



【図5】

